

대한민국 특허청  
KOREAN INDUSTRIAL  
PROPERTY OFFICE

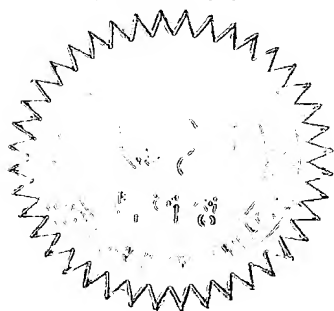
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 12549 호  
Application Number

출원년월일 : 2000년 03월 13일  
Date of Application

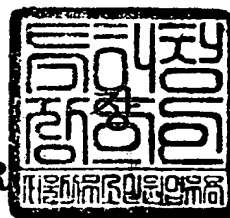
출원인 : 엘지정보통신주식회사  
Applicant(s)



2000 년 11 월 01 일

특 허 청

COMMISSIONER





919980000484



10111010000000000000

방 사 심 사 관	담	담	심	사	관

【서류명】 특허출원서

【권리구분】 특허

【수신처】 특허청장

【참조번호】 0001

【제출일자】 2000.03.13

【국제특허분류】 H04B

【발명의 국문명칭】 의사잡음 코드 발생 장치

【발명의 영문명칭】 Apparatus for generation PN codes

【출원인】

【명칭】 엘지정보통신주식회사

【출원인코드】 1-1998-000286-1

【대리인】

【성명】 강용복

【대리인코드】 9-1998-000048-4

【포괄위임등록번호】 1999-057037-3

【대리인】

【성명】 김용인

【대리인코드】 9-1998-000022-1

【포괄위임등록번호】 1999-057038-1

【발명자】

【성명의 국문표기】 김중헌

【성명의 영문표기】 KIM, Jong Heon

【주민등록번호】 690205-1951017

【우편번호】 139-206

【주소】 서울특별시 노원구 상계6동 주공아파트 305동 1105호

【국적】 KR

【취지】 특허법 제42조의 규정에 의하여 위와 같이 출원합니다.

대리인

강용복 (인)

대리인

김용인 (인)

【수수료】

【기본출원료】	17	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	0	항	0	원
---------	---	---	---	---

【합계】			29,000	원
------	--	--	--------	---

【첨부서류】 1.요약서·명세서(도면)\_1통

## 【 요약서】

### 【 요약】

본 발명은 통신 시스템에 관한 것으로, 특히 코드분할 다중접속 방식(Code Division Multiple Access ; 이하, CDMA 라 약칭함) 통신 시스템에서 사용되는 의사잡음(Pseudo Noise ; 이하, PN 이하 약칭함) 코드열을 발생시키는 PN 코드 발생 장치에 관한 것이다.

이에 대해 본 발명에서는, 칩 속도(chip rate)와 같은 클럭(clock)을 이용하면서 "0" 비트 출력을 삽입시킴으로써,  $2^n$  비트 길이를 갖는 PN 코드 발생 장치를 제공하며, 또한 한 클럭(1 clock) 이내에 한 PN 칩(1 PN chip) 만큼 전진(advance)시키거나, 지연(retard)시킬 수 있는 PN 코드 발생 장치를 제공한다.

### 【 대표도】

도 2

### 【 색인어】

PN 코드 발생 장치, 선형 시퀀스 쉬프트 레지스터(LSSR)

## 【 명세서】

### 【 발명의 명칭】

의사잡음 코드 발생 장치{Apparatus for generation PN codes}

### 【 도면의 간단한 설명】

- <1> 도 1은 종래 기술에 따른 PN 코드 발생 장치의 구성을 나타낸 블록도.
- <2> 도 2는 본 발명에 따른 PN 코드 발생 장치의 전체 구성을 나타낸 블록도.
- <3> 도 3은 본 발명에 따른 PN 코드 발생을 위해 현재 레지스터의 로드상태와 다음 로드상태를 비교하기 위한 비교기의 구성을 나타낸 도면.
- <4> 도 4는 도 3의 비교기의 각 출력과 표 1에 나타난 인덱스들로부터 레지스터로의 로드 명령을 출력하기 위한 장치 구성을 나타낸 도면.
- <5> 도 5는 본 발명에 따른 PN 코드 발생을 위해 도 2에 나타난 믹스(MUX)를 제어하기 위한 디코더를 나타낸 도면.
- <6> \*도면의 주요부분에 대한 부호의 설명\*
- <7> 10~13 : 믹스(MUX)                      20~23 : 선형 시퀀스 쉬프트 레지스터(LSSR)

### 【 발명의 상세한 설명】

### 【 발명의 목적】

### 【 발명이 속하는 기술분야 및 그 분야의 종래기술】

- <8> 본 발명은 통신 시스템에 관한 것으로, 특히 CDMA 통신 시스템에서 사용되는 PN 코드열을 발생시키는 PN 코드 발생 장치에 관한 것이다.
- <9> 일반적으로 CDMA 통신 시스템에서 PN 코드 발생기는 사용자 식별, 시간 및

위상 동기, 그리고 복조 등에 없어서는 안 될 중요한 요소이다.

<10> 현재 CDMA 통신 시스템의 국제 표준인 IS-95에서는,  $(2^{42}-1)$  비트 길이의 긴 PN 코드 발생기(long PN code generator)와  $2^{15}$  비트 길이의 짧은 PN 코드 발생기(short PN code generator)를 권고하고 있다. 여기서 짧은 PN 코드 발생기는 동위상(In-phase ; 이하, I 라 약칭함) 채널 및 직교위상(Quadrature-phase ; 이하, Q 라 약칭함) 채널에 대해 각각  $2^{15}$  비트 길이의 짧은 PN 코드열을 발생시킨다.

<11> 그런데 일반적인 PN 코드 발생기는  $(2^n-1)$  길이를 가진다. 따라서 상기한 IS-95 표준의 긴 PN 코드 발생기는 그 일반적인 PN 코드 발생기라 할 수 있다. 그러나 짧은 PN 코드 발생기는 그 일반적인 PN 코드 발생기에 "0" 비트 출력을 삽입하여  $2^n$  비트 길이를 발생토록 변형된 것이다.

<12> 도 1은 종래 기술에 따른 PN 코드 발생 장치의 구성을 나타낸 블록도로써, 4단의 선형 시퀀스 쉬프트 레지스터(Linear Sequence Shift Register ; 이하, LSSR 이라 약칭함)(1,2,3,4)가 사용되는 경우를 나타낸 것이다.

<13> 도 1의 장치 설명에 앞서, 시스템 클럭(system clock)으로는 PN 칩 속도(PN chip rate)의 N배 클럭이 사용된다. 즉 시스템 클럭은 "chip rate  $\times$  N"이다. 그 시스템 클럭에 따른 클럭 인에이블(clock enable)을 통해 도 1의 LSSR(1,2,3,4)에 인가되는 클럭 수가 조절되며, 그에 따라 도시된 PN 코드 발생 장치가 정상적으로 동작하고 또한 한 PN 칩(1 PN chip) 전진(advance)이나 한 PN 칩 지연(retard)이 수

행된다.

<14>           도 1에서 생성다항식에 의한 배타적 논리합 게이트(EOR : Exclusive OR gate)(5)와 4단의 LSSR(1,2,3,4)로 구성된 PN 코드 발생 장치가 정상 동작의 경우, 클럭 인에이블(clock enable)을 N개의 시스템 클럭마다 한 개의 시스템 클럭 만큼 켜 인에이블 시킨다. 이에 따라 결국 한 PN 칩(1 PN chip) 시간동안에 1개의 시스템 클럭이 LSSR(1,2,3,4)에 인가된다. 결국 도식된 PN 코드 발생 장치가 자신의 PN 칩 속도보다 N배 빠른 시스템 클럭을 사용할 경우에는, 자신의 PN 칩 속도보다 N배 빠르게 동작한다.

<15>           그러나 PN 코드 발생 장치의 정상 동작에 의해 PN 코드열을 발생시킨 후, 이 발생된 PN 코드열은 코드 포착(Code Acquisition)이나 코드 추적(Code Tracking)에 사용되기 위해 고의적으로 한 PN 칩만큼 지연(retard)되거나 한 PN 칩만큼 전진(advance)된다.

<16>           다음 한 PN 칩 지연(retard)은 LSSR(1,2,3,4)의 상태가 한 PN 칩 시간동안 반복되는 것으로써, 클럭 인에이블을 조절하여 한 PN 칩 시간, 즉 N개의 시스템 클럭 동안 0개의 시스템 클럭이 LSSR(1,2,3,4)에 인가된다.

<17>           다음 한 PN 칩 전진(advance)은 LSSR(1,2,3,4)의 상태가 정상적인 다음 상태를 건너뛰어 그 다음 상태로 천이하는 것으로써, 클럭 인에이블을 조절하여 한 PN 칩 시간, 즉 N개의 시스템 클럭 동안 2개의 시스템 클럭이 LSSR(1,2,3,4)에 인가된다. 따라서 이러한 기존의 PN 코드 발생 기법은 한 PN 칩 전진을 위해 PN 칩 속도보다 2배 이상의 시스템 클럭을 사용해야 한다는 문제가 있다.

【 발명이 이루고자 하는 기술적 과제】

<18>           본 발명의 목적은 상기한 점들을 감안하여 안출한 것으로, 특히 칩 속도(chip rate)와 같은 클럭(clock)을 이용하면서 "0" 비트 출력을 삽입시킴으로써,  $2^n$  비트 길이를 갖는 PN 코드 발생 장치를 제공하는데 있다.

<19>           본 발명의 또다른 목적은 한 클럭(1 clock) 이내에 한 PN 칩(1 PN chip) 만큼 전진(advance) 시키거나, 지연(retard) 시킬 수 있는 PN 코드 발생 장치를 제공하는데 있다.

<20>           상기한 목적을 달성하기 위한 본 발명에 따른 PN 코드 발생 장치의 특징은, n비트 길이 쉬프트 레지스터들의 정상적인 다음 상태를 구하기 위한 제1회로와, 한 PN 칩(1 PN chip) 전진을 위한 상기 쉬프트 레지스터들의 다음 상태를 구하기 위한 제2회로와, 한 PN 칩(1 PN chip) 지연을 위한 상기 쉬프트 레지스터들의 다음 상태를 구하기 위한 제3회로와, 상기 각 쉬프트 레지스터들의 입력단에 위치하는 다수의 먹스(MUX)를 포함하여 구성된다.

<21>           또한, 상기 PN 코드 발생 장치에는, 상기 쉬프트 레지스터의 현재 로드상태와 다음 로드상태를 비교하기 위한 복수 개의 비교기와, 상기 쉬프트 레지스터의 현재 로드상태와 다음 로드상태를 비교한 출력과, 상기 한 PN 칩(1 PN chip) 전진(advance) 명령 및 한 PN 칩 지연(retard) 명령으로부터 상기 각 쉬프트 레지스터의 로드명령을 출력하기 위한 회로와, 상기 한 PN 칩 전진되거나, 한 PN 칩 지연된 입력으로부터 상기 먹스(MUX)를 제어하는 디코더가 더 구비된다.



【 발명의 구성】

<22> 이하, 본 발명에 따른 PN 코드 발생 장치에 대한 바람직한 일 실시 예를 첨부된 도면을 참조하여 설명한다.

<23> 도 2는 본 발명에 따른 PN 코드 발생 장치의 전체 구성을 나타낸 블록도로써, 4단의 LSSR(20,21,22,23)가 사용되는 경우를 나타낸 것이다.

<24> 도 2를 참조하면, 본 발명의 PN 코드 발생 장치는 생성다항식에 의한 배타적 논리합 게이트(EOR)(미도시)와, 4개의 댁스(MUX)(10,11,12,13)와, 상기 댁스(MUX)(10,11,12,13)의 출력을 임시 저장하는 4단의 LSSR(20,21,22,23)로 구성된다.

<25> 상기 구성에 따라 PN 코드열을 발생시키기 위한 동작은 다음과 같다.

<26> 그 동작 설명에 앞서서 본 발명에서 사용되는 n차 생성다항식  $g(X)$ 가 다음 식 1이라 하고, 그 생성다항식의 벡터 표현이 식 2라 한다.

<27> 【 수학식 1】

$$g(X) = g_n X^n + g_{n-1} X^{n-1} + \dots + g_1 X^1 + 1$$

<28> 【 수학식 2】

$$\vec{g} = [g_n \quad g_{n-1} \quad \dots \quad g_1 \quad g_0]$$

<29> 상기한 식 1 및 식 2에서  $g_i$ ( $i$ 는 정수)는 다음 식 3과 같다.

<30> 【수학식 3】

$$g_i = \begin{pmatrix} 1, & i=n \\ 0 \text{ 또는 } 1, & 0 < i < n \\ 1, & i=0 \end{pmatrix}$$

<31> 이후 각 LSSR(20,21,22,23)의 현재 상태를  $\vec{r}_m$  이라 할 때, 그 상태를 다음 식 4와 같은 벡터 형태로 나타낼 수 있다.

<32> 【수학식 4】

$$\vec{r}_m = [r_{n,m} \quad r_{n-1,m} \quad \cdots \quad r_{1,m} \quad r_{0,m}]$$

<33> 상기한 식 4에서  $r_{i,m}$ ( $i$ 는 정수)는 다음 식 5와 같다.

<34> 【수학식 5】

$$r_{i,m} = \begin{pmatrix} 0 \text{ 또는 } 1, & 0 < i < n \\ 0, & i=0 \end{pmatrix}$$

<35> 이후 각 LSSR(20,21,22,23)의 정상적인 다음 상태를  $\vec{r}_{m+1}$  이라 할 때, 다음 상태  $\vec{r}_{m+1}$ 은 다음 식 6에 보인 바와 같이 LSSR(20,21,22,23)의 현재 상태  $\vec{r}_m$ , LSSR(20,21,22,23)의 최상위비트(MSB : Most Significant Bit)인  $r_{n,m}$ , 그리고 식 2의 생성다항식에 의해 구해진다.

<36> 【수학식 6】

$$\vec{r}_{m+1} = [ r_{n,m+1} \quad r_{n-1,m+1} \quad \cdots \quad r_{1,m+1} \quad 0 ]$$

<37>                   상기한 식 6에서  $r_{i,m+1}$ ( $i$ 는 정수)는 다음 식 7과 같다.

<38> 【수학식 7】

$$r_{i,m+1} = \begin{cases} r_{i-1,m} \oplus (r_{n,m} g_{i-1}), & 0 < i < n \\ 0, & i=0 \end{cases}$$

<39>                   다음 한 PN 칩 전진(advance)을 위한 LSSR(20,21,22,23)의 다음 상태는, 정상 동작의 LSSR(20,21,22,23)의 다다음 상태  $\vec{r}_{m+2}$  이며, 이는 다음 식 8과 같이 LSSR(20,21,22,23)의 현재 상태  $\vec{r}_m$  과 식 2에 나타낸  $n$ 차 생성다항식  $g$  로 나타낼 수 있다.

<40> 【수학식 8】

$$\vec{r}_{m+2} = [ r_{n,m+2} \quad r_{n-1,m+2} \quad \cdots \quad r_{1,m+2} \quad 0 ]$$

<41>                   상기한 식 8에서  $r_{i,m+2}$ ( $i$ 는 정수)는 다음 식 9와 같다.

<42> 【수학식 9】

$$r_{i,m+2} = \begin{cases} r_{i-2,m} \oplus (r_{n,m} g_{i-2}) \oplus [(r_{n-1,m} \oplus (r_{n,m} g_{n-1})) g_{i-1}], & 1 < i < n \\ r_{n-1,m} \oplus (r_{n,m} g_{n-1}), & i=1 \\ 0, & i=0 \end{cases}$$

<43>                   상기한 식 8의  $r_{i,m+2}$ ( $i$ 는 정수)을 식 9와 같이 나타낼 수 있는 이유를 다음

식 10 및 식 11에 나타내었다.

<44> 【수학식 10】

$$\begin{aligned} r_{i,m+2} &= r_{i-1,m+1} \oplus (r_{n,m+1} g_{i-1}) \\ &= (r_{i-2,m} \oplus (r_{n,m} g_{i-2})) \oplus [(r_{n-1,m} \oplus (r_{n,m} g_{n-1})) g_{i-1}] \end{aligned}$$

<45> 【수학식 11】

$$\begin{aligned} r_{1,m+2} &= r_{0,m+1} \oplus (r_{n,m+1} g_0) \\ &= r_{n,m+1} \\ &= r_{n-1,m} \oplus (r_{n,m} g_{n-1}) \end{aligned}$$

<46> 다음 한 PN 칩 지연(retard)을 위한 LSSR(20,21,22,23)의 다음 상태는, 정상 동작의 LSSR(20,21,22,23)의 현재 상태  $r_m$  이다.

<47> 특히 n비트 쉬프트 레지스터로 구성된 PN 코드 발생 장치의 경우에, 그 특성 상 연속하여 "0" 비트가 출력되는 최대 길이는 (n-1)이다. 그런데 알려진 바에 의 하면 "0" 비트 출력의 삽입은 (n-1) 길이의 "0" 비트 출력 뒤에 덧붙이도록 되어 있다. 이를 현재 n비트 쉬프트 레지스터의 로드상태(load state)인 에서 고려했을 때, 그 로드상태가 "0....00010"인 상태를 한번 더 반복시키는 것과 동일한 결과가 된다. 여기서 n비트 쉬프트 레지스터의 로드상태에서 오른쪽이 최상위비트(MSB)라 한다.

<48> 다음 표 1은 생성다항식이 다음 식 12일 때의 PN 코드 발생 예를 나타낸 것

으로, 본 발명에서 제안된 도 2의 PN 코드 발생 장치의 상태를 나타낸 것이다.

<49>

【 표 1 】

입력		현재				다음				출력
A	R	레지스터 로드 상태 (PN State)	C0	C1	D0	레지스터 로드 상태 (PN State)	C0	C1	D0	MC
0	0	.....				.....				
0	0	1000	1	0	0	0100	0	1	0	1
0	0	0100	0	1	0	0010	0	0	1	1
0	0	0010	0	0	1	0010	0	0	0	0
0	0	0010	0	0	0	0001	0	0	0	1
0	0	0001	0	0	0	1001	0	0	0	1
0	0	.....				.....				
1	0	.....				.....				
1	0	1000	1	0	0	0010	0	0	1	2
1	0	0100	0	1	0	0010	0	0	0	1
1	0	0010	0	0	1	0001	0	0	0	1
1	0	0010	0	0	0	1001	0	0	0	2
1	0	0001	0	0	0	1101	0	0	0	2
1	0	.....				.....				
0	1	.....				.....				
0	1	1000	1	0	0	1000	1	0	0	0
0	1	0100	0	1	0	0100	0	1	0	0
0	1	0010	0	0	1	0010	0	0	1	0
0	1	0010	0	0	0	0010	0	0	0	0
0	1	0001	0	0	0	0001	0	0	0	0
0	1	.....				.....				

<50>

상기한 표 1에서 인덱스 'A'는 한 PN 칩(1 PN chip) 전진(advance) 명령을 나타내고, 인덱스 'R'은 한 PN 칩 지연(retard) 명령을 나타낸다. 또한 인덱스 'C0'와 'C1'은 도 3에 나타낸 비교기(30,40)의 각 출력을 나타내며, 인덱스 'MC'는 믹스 제어 입력(MUX Control input)을 나타낸다.

<51>

도 2에 도시된 본 발명에 따른 PN 코드 발생 장치는 생성다항식으로 다음의 식 12를 사용한 경우이다.

<52>

【 수학식 12】

$$g(X) = X^4 + X^3 + 1$$

<53>

도 2의 PN 코드 발생 장치는 LSSR(20,21,22,23)의 정상적인 다음 상태를 구

하기 위한 회로와, 한 PN 칩(1 PN chip) 전진을 위한 LSSR(20,21,22,23)의 다음 상태를 구하기 위한 회로와, 한 PN 칩(1 PN chip) 지연을 위한 LSSR(20,21,22,23)의 다음 상태를 구하기 위한 회로와, 각 LSSR(20,21,22,23)의 입력단에 위치하는 믹스(MUX)(10,11,12,13)로 이루어진다.

<54> 추가로 본 발명에서는 도 3에 도시된 바와 같이, PN 코드 발생을 위해 현재 레지스터의 로드상태와 다음 로드상태를 비교하기 위한 비교기(30,40)가 사용되며, 도 3의 비교기의 각 출력과 표 1에 나타난 인덱스들(A,R)로부터 LSSR(20,21,22,23)의 로드 명령을 출력하기 위한 도 4의 회로가 사용된다.

<55> 마지막으로 본 발명에서는 한 PN 칩 전진되거나, 한 PN 칩 지연된 입력으로부터 믹스(MUX)(10,11,12,13)를 제어하기 위한 도 5의 디코더(70)가 더 사용된다.

<56> 이에 따라 본 발명에서는 한 PN 칩 전진되거나 한 PN 칩 지연된 입력으로부터 믹스(MUX)(10,11,12,13)를 제어하기 때문에, PN 코드 발생의 정상 동작을 포함하여 한 PN 칩 전진 및 한 PN 칩 지연을 한 클럭(1 clock) 이내에 처리할 수 있다. 특히 I채널 및 Q채널에 대해 발생하는 짧은 PN 코드에 "0" 비트 출력 삽입을 구현할 수 있다.

#### 【 발명의 효과 】

<57> 이상에서 설명한 바와 같이 본 발명에 따른 PN 코드 발생 장치를 사용함으로써, 다음과 같은 효과가 있다.

<58> 본 발명의 PN 코드 발생 장치는, PN 칩 속도(chip rate) 보다 높은 시스템 클럭으로 PN 코드 발생을 운용하면서도, 한 클럭(1 clock) 이내에 한 PN 칩(1 PN

chip) 만큼 전진(advance) 시키거나, 지연(retard)을 수행할 수 있으며, 특히  $2^N$  주기를 가지는 PN 코드 발생 장치에서도 한 클럭 이내에 1PN 칩만큼 전진시키거나 지연을 수행할 수 있다. 따라서 CDMA 통신 시스템의 수신기가 PN 코드 포착에 이를 사용할 경우, 그에 따른 성능을 향상시킬 수 있다.

<59> 또한, 그 수신기가 PN 코드 추적에 이를 사용할 경우, 그 코드 추적을 시스템 클럭으로 수행할 수 있기 때문에, 자원 공유를 통한 병렬 처리 및 수신기 각 핑거(finger)의 수용 용량을 확대시킬 수 있다.



【 특허청구범위】

【 청구항 1】

n비트 길이 쉬프트 레지스터들의 정상적인 다음 상태를 구하기 위한 제1회로와;

한 PN 칩(1 PN chip) 전진을 위한 상기 쉬프트 레지스터들의 다음 상태를 구하기 위한 제2회로와;

한 PN 칩(1 PN chip) 지연을 위한 상기 쉬프트 레지스터들의 다음 상태를 구하기 위한 제3회로와;

상기 각 쉬프트 레지스터들의 입력단에 위치하는 다수의 믹스(MUX)를 포함하여 구성되는 것을 특징으로 하는 PN 코드 발생 장치.

【 청구항 2】

제 1 항에 있어서, 상기 쉬프트 레지스터의 현재 로드상태와 다음 로드상태를 비교하기 위한 복수 개의 비교기가 더 구비되는 것을 특징으로 하는 PN 코드 발생 장치.

【 청구항 3】

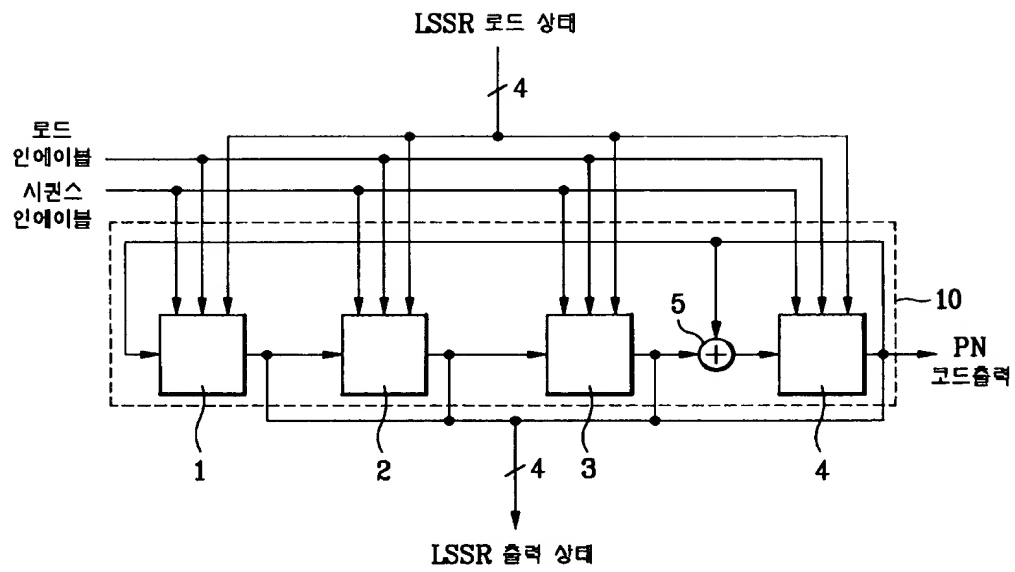
제 1 항에 있어서, 상기 쉬프트 레지스터의 현재 로드상태와 다음 로드상태를 비교한 출력과, 상기 한 PN 칩(1 PN chip) 전진(advance) 명령 및 한 PN 칩 지연(retard) 명령으로부터 상기 각 쉬프트 레지스터의 로드명령을 출력하기 위한 회로가 더 구비되는 것을 특징으로 하는 PN 코드 발생 장치.

【 청구항 4】

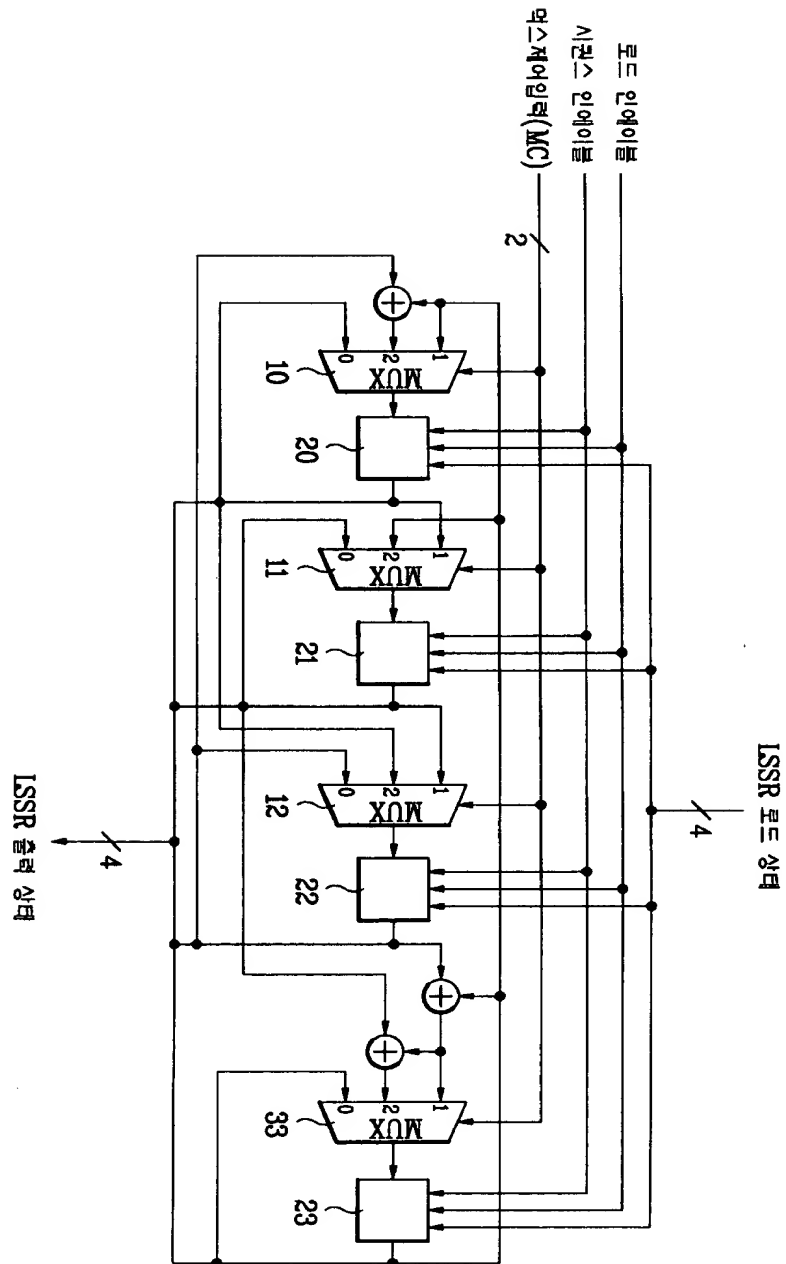
제 1 항에 있어서, 상기 한 PN 칩 전진되거나, 한 PN 칩 지연된 입력으로부터 상기 믹스(MUX)를 제어하는 디코더가 더 구비되는 것을 특징으로 하는 PN 코드 발생 장치.

【 도면】

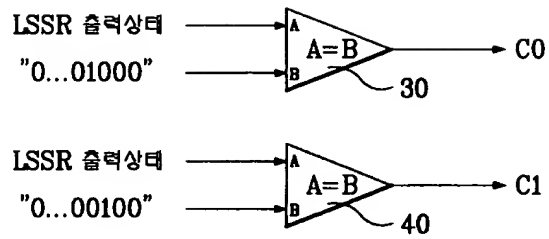
【 도 1】



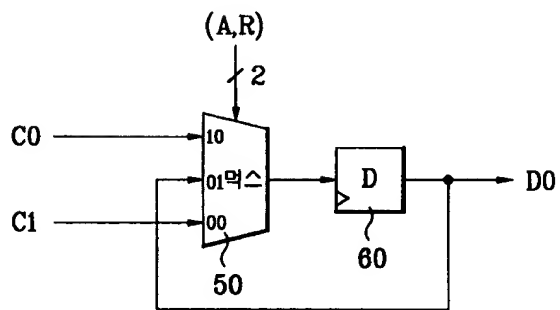
【 도 2】



【 도 3】



【 도 4】



【 도 5】

